

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

A08

**DYNAMIC RANDOM ACCESS MEMORY**Patent Number:  US2002009010

Publication date: 2002-01-24

Inventor(s): HAYAKAWA GORO (JP)

Applicant(s):

Requested Patent:  JP2000222878

Application US19990413819 19991007

Priority Number(s): JP19990020127 19990128

IPC Classification: G11C7/00

EC Classification: G11C11/4074,

Equivalents:

**Abstract**

A DRAM includes a control circuit for stopping an operation of increasing a potential of a Vpp line by a first pump under a self refresh mode

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-222878  
(P2000-222878A)

(43)公開日 平成12年8月11日(2000.8.11)

(51) Int.Cl.<sup>7</sup>

### 識別記号

F I  
G 1 1 C 11/34

テマコト<sup>・</sup>(参考)  
5 B 0 2 4

審査請求・未請求・請求項の数5 ②J (合10頁)

(21)出願番号 特願平11-20127  
(22)出願日 平成11年1月28日(1999.1.28)

(71)出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号

(72)発明者 早川 春郎  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100102439  
弁理士 宮田 金雄 (外2名)

F ターム(参考) 5B024 AA01 BA13 BA27 BA29 CA27

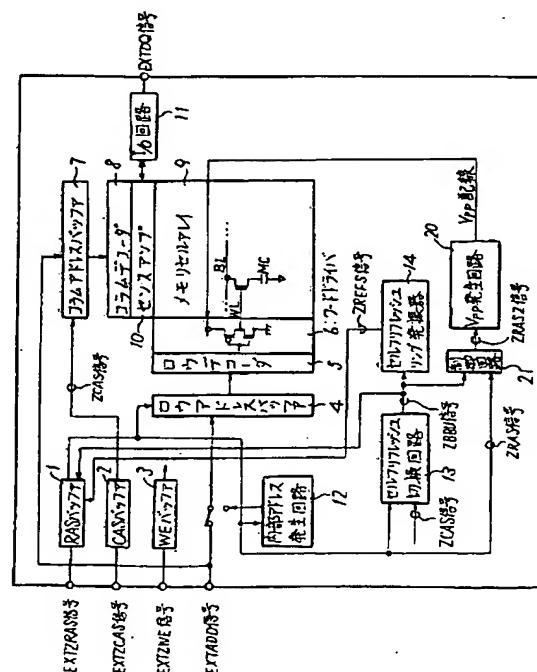
DA18

(54) 【発明の名称】 ダイナミックアクセスメモリ

(57)【要約】

【課題】 Vpp発生回路の消費電流を低減させたDRAMを得る。

【解決手段】 アクティブディテクタ回路22、アクティブポンプ回路23、スタンバイディテクタ回路24とスタンバイポンプ回路25を有するVpp発生回路20を備えたダイナミックアクセスマモリにおいて、制御回路21により、セルフリフレッシュモード時に、アクティブディテクタ回路22によるVpp配線の電位のモニター動作とアクティブポンプ回路23によるVpp配線の電位昇圧動作とを停止させる。



## 【特許請求の範囲】

【請求項1】 ノーマルモード時に、RAS信号に同期して、ワード線駆動用電位V<sub>PP</sub>を保持するV<sub>PP</sub>配線の電位をモニターするディテクタ回路と、前記RAS信号に同期して、前記ディテクタ回路のモニター結果に基づいて、前記V<sub>PP</sub>配線の電位を前記ワード線駆動用電位V<sub>PP</sub>に昇圧させる第1のポンプ回路と、前記RAS信号に非同期に、前記V<sub>PP</sub>配線の電位を前記ワード線駆動用電位V<sub>PP</sub>に昇圧させる第2のポンプ回路とを有するダイナミックアクセスメモリにおいて、セルフリフレッシュモード時に、前記第1のポンプ回路による前記V<sub>PP</sub>配線の電位昇圧動作を停止させる制御回路を備えたことを特徴とするダイナミックアクセスメモリ。

【請求項2】 前記制御回路は、前記セルフリフレッシュモード時に、前記ディテクタ回路による前記V<sub>PP</sub>配線の電位のモニター動作を停止させることを特徴とする請求項1記載のダイナミックアクセスメモリ。

【請求項3】 前記制御回路は、前記ディテクタ回路および前記第1のポンプ回路に接続され、前記セルフリフレッシュモード時に、前記ノーマルモードから前記セルフリフレッシュモードに移ったことを通知する第1の制御信号を受け取り、前記ディテクタ回路のモニター動作および前記第1のポンプ回路の電位昇圧動作をそれぞれ停止させるための第2の制御信号を生成し、前記ディテクタ回路および前記第1のポンプ回路に出力することを特徴とする請求項2記載のダイナミックアクセスメモリ。

【請求項4】 前記制御回路は、前記ノーマルモード時には、前記RAS信号を前記ディテクタ回路および前記第1のポンプ回路に出力することを特徴とする請求項3記載のダイナミックアクセスメモリ。

【請求項5】 前記ディテクタ回路は、前記セルフリフレッシュモード時に、前記第1の制御信号により、前記第1のポンプ回路へのモニター結果の出力が禁止されることを特徴とする請求項4記載のダイナミックアクセスメモリ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、ダイナミックアクセスメモリ（以下、DRAMと称す）に関し、特に、セルフリフレッシュモード時におけるV<sub>PP</sub>発生回路の制御に関するものである。

## 【0002】

【従来の技術】DRAMは、揮発性のメモリであるので、データ保持のために、メモリセルを一定期間内にリフレッシュさせることが必要である。リフレッシュの一つとして、セルフリフレッシュモードがある。セルフリフレッシュモードは、CBR（CAS Before RAS）タイミングで、RAS信号及びCAS信号が、

それぞれ”H”レベルから”L”レベルに変化し、両信号が”L”レベルの間、DRAM内部で生成された内部RAS信号に基づく行アドレス信号によって、次々にワード線が選択され、選択されたワード線に接続されたメモリセルがリフレッシュされる。

【0003】図6は、従来のDRAMの構成を示す図である。図において、1は、RAS信号（EXTZRAS信号）を受け取り、EXTZRAS信号に同期した内部RAS信号（ZRAS信号）を生成するRASバッファ、2は、CAS信号（EXTZCAS信号）を受け取り、EXTZCAS信号に同期した内部CAS信号（ZCAS信号）を生成するCASバッファ、3は、ライトイネーブル信号（EXTZWE信号）を受け取り、書き込み動作のための制御信号を生成するWEバッファ、4は、ZRAS信号に同期して、ワード線選択のためのアドレス信号を受け取るロウアドレスバッファ、5は、ロウアドレスバッファ4からのアドレス信号をデコードするロウデコーダ、6は、ロウデコーダ5からのデコード結果に基づいて、ワード線（WL）を駆動するためのワードドライバ、7は、CASバッファ2からのZCAS信号に同期して、EXTADD信号を受け取るコラムアドレスバッファ、8は、コラムアドレスバッファ7からのEXTADD信号をデコードし、ビット線（BL）を選択するコラムデコーダ、9はメモリセルアレイ、10はセンスアンプ、11は、メモリセルアレイ9に対するデータの入出力を制御するためのI/O回路、12は、ZRAS信号に基づいて、セルフリフレッシュモード時に、ワード線選択のためのアドレス信号を生成する内部アドレス発生回路、13は、ZRAS信号およびZCAS信号に基づいて、ノーマルモードからセルフリフレッシュモードに移ったことを検知し、制御信号（ZBBU信号）を生成するセルフリフレッシュ切換回路、14は、ZBBU信号に基づいて、ZRAS信号の周期を変化させるためのZREFS信号を生成し、RASバッファ1に出力するセルフリフレッショーリング発振器、15は、ワード線を駆動するためのワードドライバ6に接続されたV<sub>PP</sub>配線の電位をモニターし、その電位をV<sub>PP</sub>に保持するためのV<sub>PP</sub>発生回路である。ワード線駆動用電位であるV<sub>PP</sub>は、DRAMの電源電位V<sub>CC</sub>よりも高い電位（V<sub>CC</sub>+V<sub>TH</sub>以上）を示す。MCはメモリセルを示す。ロウアドレスバッファ4には、ノーマルモード時には、EXTADD信号が入力され、セルフリフレッシュモード時には、内部アドレス発生回路12で生成されたアドレス信号が入力される。ワードドライバ6は、V<sub>PP</sub>配線の電位であるV<sub>PP</sub>が供給される。【0004】図7は、図6のV<sub>PP</sub>発生回路15の構成を示した図である。図において、16はアクティブディテクタ回路、17はアクティブポンプ回路、18はスタンバイディテクタ回路、19はスタンバイポンプ回路である。アクティブディテクタ回路16およびアクティブ

ポンプ回路17は、ZRAS信号に同期して動作する。スタンバイディテクタ回路18およびスタンバイポンプ回路19は、ZRAS信号に非同期に動作する。アクティブディテクタ回路16およびスタンバイディテクタ回路18は、Vpp配線の電位をモニターする。Vpp配線の電位が予め設定された検知レベルよりも低い場合には、アクティブポンプ回路17およびスタンバイポンプ回路19は、アクティブディテクタ回路16およびスタンバイディテクタ回路18からのモニター結果(ENA CT信号、ENSTB信号)をそれぞれ受け取り、Vpp配線の電位をVppまで昇圧させる。アクティブディテクタ回路16は、ZRAS信号がHレベルからLレベルに変化した後の一定の期間、Vpp配線の電位をモニターし、一方、スタンバイディテクタ回路18は、Vpp配線の電位を常時モニターする。スタンバイポンプ回路19は、ZRAS信号の周期に影響されずに、一定のポンプ能力(Vpp配線への電流の供給能力)を有する。

【0005】なお、一般的に、4Mビット以降のDRAMにおいては、1MビットDRAMで採用されていたVpp発生回路のように、Vpp配線の電位を単に昇圧させるポンプ回路だけを備えた構成ではなく、メモリセルのトランジスタのゲート酸化膜に対する過剰な高電圧の印加の抑制やシェアードセンスアンプ方式におけるビット線昇圧に対応できるように、図7に示したとおり、Vpp発生回路15には、アクティブディテクタ回路16およびスタンバイディテクタ回路18の2つのディテクタ回路とアクティブポンプ回路17およびスタンバイポンプ回路19の2つのポンプ回路とが備わっている。

【0006】図8は、Vpp発生回路15の動作を説明するためのタイミングチャート図である。各回路は遅延を有しており、入力信号に対して、出力信号は、遅れて出力される。まず、読み出し動作および書き込み動作であるノーマルモード時(スタンバイ時を含む)において、EXTZRAS信号のHレベルからLレベルの立ち下がりに同期して、ZRAS信号もHレベルからLレベルに変化する。ZRAS信号がHレベルからLレベルに変化した後の一定の期間、アクティブディテクタ回路16が、Vpp配線の電位をモニターし、検知レベルよりも低い場合、ENA CT信号(Hレベル)を生成し、アクティブポンプ回路17へ出力する。HレベルのENA CT信号を受け取ったアクティブポンプ回路17は、Vpp配線の電位をVppまで昇圧させる。ZRAS信号がHレベルからLレベルに変化した後の一定の期間以外は、アクティブディテクタ回路16は動作しない(非活性状態)が、ZRAS信号のレベルに関係なく、Vpp配線を常時モニターするスタンバイディテクタ回路18によって、Vpp配線の電位が検知レベルよりも低い場合には、ENSTB信号を生成(Hレベル)し、スタンバイポンプ回路19によって、Vpp配線の電位がVpp

に昇圧される。アクティブディテクタ回路16の非活性状態に基づき、アクティブポンプ回路17も動作しない。

【0007】次に、セルフリフレッシュモード時には、セルフリフレッシング発振器14により、ZRAS信号の周期が、ノーマルモード時に比べて長くなる。例えば、64MビットDRAMでは、ZRAS信号の周期は、ノーマルモード時には、84ns～16μsであるのに対して、セルフリフレッシュモード時には、約30μsである。ノーマルモード時と同様に、アクティブディテクタ回路16およびスタンバイディテクタ回路18によって、Vpp配線の電位がモニターされ、必要に応じて、Vppに昇圧される。ZBHU信号のHレベルからLレベルへの変化は、ノーマルモードからセルフリフレッシュモードに移ったことを示している。

【0008】なお、図8において、Vpp配線、ENA CT信号およびENSTB信号の点線部分は、Vpp配線の電位が検知レベルよりも高く、Vpp配線の電位をVppまで昇圧させる必要がない場合を示している。一方、実線部分は、上述したとおり、Vpp配線の電位が検知レベルよりも低く、Vppへの昇圧が必要な場合を示している。

【0009】

【発明が解決しようとする課題】上記のような従来のDRAMでは、2つのディテクタ回路と2つのポンプ回路とを有するVpp発生回路によって、ノーマルモード時およびセルフリフレッシュモード時において、Vpp配線の電位がVppに保たれているが、その消費電流は大きく、例えば、64MビットDRAMでは、Vpp発生回路によって、全消費電流の約30%が消費されており、Vpp発生回路の消費電流を低減させなければならぬという問題点があった。

【0010】この発明は、上述のような課題を解決するためになされたものであり、Vpp発生回路の消費電流を低減させたDRAMを得ることを目的とするものである。

【0011】

【課題を解決するための手段】この発明に係るDRAMにおいては、セルフリフレッシュモード時に、第1のポンプ回路によるVpp配線の電位昇圧動作を停止させる制御回路を備えたものである。

【0012】また、制御回路は、セルフリフレッシュモード時に、ディテクタ回路によるVpp配線の電位のモニター動作を停止させる。

【0013】また、制御回路は、ディテクタ回路および第1のポンプ回路に接続され、セルフリフレッシュモード時に、ノーマルモードからセルフリフレッシュモードに移ったことを通知する第1の制御信号を受け取り、ディテクタ回路のモニター動作および第1のポンプ回路の電位昇圧動作をそれぞれ停止させるための第2の制御信

号を生成し、ディテクタ回路および第1のポンプ回路に出力する。

【0014】さらに、制御回路は、ノーマルモード時には、RAS信号をディテクタ回路および第1のポンプ回路に出力する。

【0015】さらにまた、ディテクタ回路は、セルフリフレッシュモード時に、第1の制御信号により、第1のポンプ回路へのモニター結果の出力が禁止される。

【0016】

【発明の実施の形態】図1は、この発明におけるDRAMの構成を示す図である。図において、1は、RAS信号(EXTZRAS信号)を受け取り、EXTZRAS信号に同期した内部RAS信号(ZRAS信号)を生成するRASバッファ、2は、CAS信号(EXTZCAS信号)を受け取り、EXTZCAS信号に同期した内部CAS信号(ZCAS信号)を生成するCASバッファ、3は、ライトイネーブル信号(EXTZWE信号)を受け取り、書き込み動作のための制御信号を生成するWEバッファ、4は、ZRAS信号に同期して、ワード線選択のためのアドレス信号を受け取るロウアドレスバッファ、5は、ロウアドレスバッファ4からのアドレス信号をデコードするロウデコーダ、6は、ロウデコーダ5からのデコード結果に基づいて、ワード線(WL)を駆動するためのワードドライバ、7は、CASバッファ2からのZCAS信号に同期して、EXTADD信号を受け取るコラムアドレスバッファ、8は、コラムアドレスバッファ7からのEXTADD信号をデコードし、ピット線(BL)を選択するコラムデコーダ、9はメモリセルアレイ、10はセンスアンプ、11は、メモリセルアレイ9に対するデータの入出力を制御するためのI/O回路、12は、ZRAS信号に基づいて、セルフリフレッシュモード時に、ワード線選択のためのアドレス信号を生成する内部アドレス発生回路、13は、ZRAS信号およびZCAS信号に基づいて、ノーマルモードからセルフリフレッシュモードに移ったことを検知し、制御信号(ZBBU信号)を生成するセルフリフレッシュ切換回路、14は、ZBBU信号に基づいて、ZRAS信号の周期を変化させるためのZREFS信号を生成し、RASバッファ1に出力するセルフリフレッシュリシング発振器、20は、ワード線を駆動するためのワードドライバ6に接続されたVpp配線の電位をモニタし、その電位をVppに保持するためのVPP発生回路である。21は、ZBBU信号およびZRAS信号に基づいて、ZRAS2信号を生成し、Vpp発生回路20を制御するための制御回路である。ワード線駆動用電位であるVppは、DRAMの電源電位Vccよりも高い電位(Vcc+Vth以上)を示す。MCはメモリセルを示す。ロウアドレスバッファ4には、ノーマルモード時には、EXTADD信号が入力され、セルフリフレッシュモード時には、内部アドレス発生回路12で生成さ

れたアドレス信号が入力される。ワードドライバ6は、Vpp配線の電位であるVppが供給される。

【0017】図2は、図1のVpp発生回路20および制御回路21の構成を示した図である。図において、22はアクティブディテクタ回路、23はアクティブポンプ回路、24はスタンバイディテクタ回路、25はスタンバイポンプ回路である。アクティブディテクタ回路22およびアクティブポンプ回路23は、ZRAS2信号に同期して動作する。スタンバイディテクタ回路24およびスタンバイポンプ回路25は、ZRAS2信号に非同期に動作する。アクティブディテクタ回路22およびスタンバイディテクタ回路24は、Vpp配線の電位をモニターする。Vpp配線の電位がVppよりも低い場合には、アクティブポンプ回路23およびスタンバイポンプ回路25は、アクティブディテクタ回路22およびスタンバイディテクタ回路24からのモニター結果(ENACT信号、ENSTB信号)をそれぞれ受け取り、Vpp配線の電位をVppまで昇圧する。アクティブディテクタ回路22は、ZRAS2信号がHレベルからLレベルに変化した後の一定の期間、Vpp配線の電位をモニターし、一方、スタンバイディテクタ回路24は、Vpp配線の電位を常時モニターする。制御回路21は、インバータ回路26、28およびNOR回路27で構成され、ZBBU信号とZRAS信号とにに基づいて、ZRAS2信号を生成し、アクティブディテクタ回路22およびアクティブポンプ回路23へそれぞれ出力する。スタンバイポンプ回路25は、従来技術と同様に、一定のポンプ能力(Vpp配線への電流の供給能力)を有する。

【0018】図3は、Vpp発生回路20および制御回路21の動作を説明するためのタイミングチャート図である。各回路は遅延を有しており、入力信号に対して、出力信号は、遅れて出力される。まず、読み出し動作および書き込み動作であるノーマルモード時(スタンバイ時を含む)について説明する。上述の従来技術と同様に、EXTZRAS信号のHレベルからLレベルの立ち下がりに同期して、ZRAS信号もHレベルからLレベルに変化する。制御回路21は、ZRAS信号をRASバッファ1から受け取り、ZRAS信号をZRAS2信号として、アクティブディテクタ回路22およびアクティブポンプ回路23へ出力する。ZRAS2信号がHレベルからLレベルに変化した後の一定の期間、アクティブディテクタ回路22が、Vpp配線の電位をモニターし、検知レベルよりも低い場合、ENACT信号(Hレベル)を生成し、アクティブポンプ回路23へ出力する。HレベルのENACT信号を受け取ったアクティブポンプ回路23は、Vpp配線の電位をVppに昇圧させる。ZRAS2信号がHレベルからLレベルに変化した後の一定の期間以外は、アクティブディテクタ回路22は動作しない(非活性状態)が、ZRAS2信号のレ

ベルに関係なく、V<sub>PP</sub>配線の電位を常時モニターするスタンバイディテクタ回路24によって、検知レベルよりも低い場合には、ENSTB信号を生成（Hレベル）し、スタンバイポンプ回路25によって、V<sub>PP</sub>配線の電位をV<sub>PP</sub>に昇圧させることができる。ノーマルモード時には、セルフリフレッシュ切換回路13からのZBBU信号はHレベルであり、セルフリフレッシュリミング発振器14は動作しない。アクティブディテクタ回路22の非活性状態に基づき、アクティブポンプ回路23も動作しない。

【0019】次に、セルフリフレッシュモードについて説明する。セルフリフレッシュ切換回路13が、CBRタイミングでLレベルに変化したZRAS信号およびZCAS信号をそれぞれ受け取り、セルフリフレッシュモードに入ったことを通知するためのLレベルのZBBU信号を生成する。セルフリフレッシュ発振器14は、ZBBU信号を受け取り、ZRAS信号の周期を長くするためのZREFS信号を生成し、RASバッファ1に出力する。RASバッファ1は、ZREFS信号に基づいて、ノーマルモード時よりも長い周期のZRAS信号を生成する。例えば、64MビットDRAMでは、ZRAS信号の周期は、ノーマルモード時の84ns～16μsに対して、上述した従来技術と同様に、セルフリフレッシュモード時には、約30μsに設定される。内部アドレス発生回路12は、ZRAS信号を受け取り、リフレッシュのために、ワード線選択用のアドレス信号を生成する。制御回路21は、LレベルのZBBU信号と周期の長くなったZRAS信号をそれぞれ受け取り、HレベルのZRAS2信号を生成し、V<sub>PP</sub>発生回路20へ出力する。

【0020】ノーマルモード時も含めて、アクティブディテクタ回路22およびアクティブポンプ回路23に、HレベルのZRAS2信号が入力されると、アクティブディテクタ回路22およびアクティブポンプ回路23は非活性状態となり、アクティブディテクタ回路22によるV<sub>PP</sub>配線の電位のモニター動作およびアクティブポンプ回路23によるV<sub>PP</sub>配線への電位昇圧の動作が行われなくなる。

【0021】セルフリフレッシュモードに移ると、ZRAS2信号およびZBBU信号により、ENACT信号は、Lレベルに固定される。セルフリフレッシュモード時には、V<sub>PP</sub>配線の電位は、V<sub>PP</sub>配線に接続されたスタンバイディテクタ回路24によって、常時モニターされ、検知レベルよりも低い場合には、ENSTB信号が生成（Hレベル）される。そして、スタンバイポンプ回路25によって、V<sub>PP</sub>配線の電位がV<sub>PP</sub>に昇圧される。

【0022】セルフリフレッシュモードが終了すると、EXTZRAS信号がLレベルからHレベルとなり、ZBBU信号がLレベルからHレベルに変化し、ノーマル

モードに移る。ノーマルモード時には、アクティブディテクタ回路22およびアクティブポンプ回路23は、ZRAS2信号に同期して動作する。

【0023】ノーマルモード時には、ZRAS信号の周期が短くなり、それに伴って、読み出し動作や書き込み動作が頻繁に行われるため、V<sub>PP</sub>配線からの消費電流も大きくなり、アクティブポンプ回路23とスタンバイポンプ回路25の両方のポンプ能力が必要である。64MビットDRAMでは、ノーマルモード時には、2つのポンプ回路が動作する。

【0024】一方、セルフリフレッシュモード時には、ZRAS信号の周期が数十μsオーダー（例えば、64MビットDRAMでは約30μs）に設定され、ノーマルモード時に比べて、V<sub>PP</sub>配線からの消費電流も小さくなるので、アクティブポンプ回路23のポンプ能力を省いたとしても、スタンバイポンプ回路25のポンプ能力だけで、V<sub>PP</sub>配線からの消費電流に対応できる。従って、セルフリフレッシュモード時に、制御回路21により、アクティブディテクタ回路22およびアクティブポンプ回路23をそれぞれ非活性状態になるように制御している。

【0025】図3において、V<sub>PP</sub>配線、ENACT信号およびENSTB信号の点線部分は、V<sub>PP</sub>配線が検知レベルよりも高く、V<sub>PP</sub>配線の電位をV<sub>PP</sub>まで昇圧させる必要がない場合を示している。また、実線部分は、上述したとおり、V<sub>PP</sub>配線が検知レベルよりも低く、V<sub>PP</sub>への昇圧が必要な場合を示している。

【0026】図4は、図2のアクティブディテクタ回路22の構成を示した図である。図において、29～33はトランジスタ、34、38、39、40、42はインバータ回路、35は遅延回路、36はNOR回路、41はNAND回路である。37はトランスマルチゲート回路であり、NOR回路36からのENDET信号およびENDET信号の反転信号であるZENDET信号に基づき、インバータ回路34からインバータ回路38への信号の伝達を制御する。ZENDET信号は、NOR回路36からのENDET信号が、インバータ回路（図示せず）によって反転したものである。なお、図1および図2には図示されていないが、アクティブディテクタ回路22には、図4に示されるように、ZBBU信号が入力されている。

【0027】従来のアクティブディテクタ回路16との構成の違いは、まず、インバータ回路40からの出力信号とZBBU信号との論理演算を行うためのNAND回路41と、その演算結果を反転させるためのインバータ回路42とを設けた点であり、インバータ回路42からの出力信号が、ENACT信号となる。従来技術では、インバータ回路40からの出力信号が、ENACT信号であった。更に、ZRAS2信号が、遅延回路35に入力されているのに対して、従来技術では、遅延回路に

は、ZRAS2信号ではなく、ZRAS信号が入力されていた。

【0028】アクティブディテクタ回路22は、ノーマルモード時に、ENDET信号の制御により、トランジスタ29に印加されるVpp配線の電位をモニターし、モニター結果に応じて、ENACT信号を生成する。アクティブディテクタ回路22によるVpp配線の電位のモニター動作は、Vpp配線の電位が、予め設定された検知レベルよりも高い場合には、Hレベルの信号をインバータ回路34に出力する。トランスファーゲート回路37、インバータ回路38、40、NAND回路41およびインバータ回路42を介して、LレベルのENACT信号が生成される。LレベルのENACT信号により、アクティブポンプ回路23は、Vpp配線の電位昇圧動作を行わない。Vpp配線の電位が、検知レベルよりも低い場合には、インバータ回路34に、Lレベルの信号が入力される。トランスファーゲート回路37、インバータ回路38、40、NAND回路41およびインバータ回路42を介して、HレベルのENACT信号が生成される。HレベルのENACT信号により、アクティブポンプ回路23は、Vpp配線に対するVppへの電位昇圧動作を行う。ZBBU信号は、Hレベルである。ノーマルモード時には、ZBBU信号はHレベルであるので、インバータ回路40からの出力信号のレベルが、インバータ回路42からのENACT信号のレベルとなる。

【0029】セルフリフレッシュモード時に移り、ZBU信号がLレベルとなった後は、ZRAS信号のレベルによらず、ZRAS2信号はHレベルに固定される。これにより、ZRAS2信号により生成されるENDET信号は、Lレベルに固定され、セルフリフレッシュ期間は、アクティブディテクタ回路22は非活性状態となり、また、ZBBU信号のLレベルにより、アクティブポンプ回路23の活性化信号であるENACT信号もLレベルに固定される。このように、セルフリフレッシュモード時には、アクティブディテクタ回路22によるHレベルのENACT信号の生成が禁止されるので、アクティブポンプ回路23によるVpp配線に対する電位昇圧動作は行われない。

【0030】図5は、アクティブポンプ回路23の構成を示した図である。43は制御部、44はポンプ部である。制御部43は、インバータ回路45、47およびNAND回路46から構成されている。インバータ回路45は、ZRAS2信号の反転信号を生成する。NAND回路46は、インバータ回路45からの出力信号とENACT信号との論理演算を行い、その結果をインバータ回路47へ出力する。ポンプ部44は、インバータ回路47からのHレベルの出力信号により、Vpp配線の電位をVppに昇圧するが、セルフリフレッシュモード時には、ZRAS2信号がHレベル、ENACT信号がL

レベルであるため、Lレベルの出力信号が、インバータ回路47からポンプ部44に出力されるので、アクティブポンプ回路23による電位昇圧動作が行われない。

【0031】このように構成されたDRAMでは、制御回路21により、セルフリフレッシュモード時に、動作不要なアクティブディテクタ回路22およびアクティブポンプ回路23を非活性状態にしているので、Vpp配線に対するアクティブディテクタ回路22によるモニター動作やアクティブポンプ回路23による電位昇圧動作が停止し、セルフリフレッシュモード時のアクティブディテクタ回路22およびアクティブポンプ回路23の各動作による無駄な消費電流が無くなり、従来技術に比べ、Vpp発生回路20の消費電流を低減させることができる。特に、セルフリフレッシュモード時に、消費電流の大きいアクティブポンプ回路23の電位昇圧動作を停止させることは、Vpp発生回路20の消費電流を低減させるのに効果的である。

【0032】更に、セルフリフレッシュモード時のアクティブディテクタ回路22において、上述したように、ZRAS2信号により、ENDET信号がLレベルに固定されるので、トランジスタ32、33がオフ状態となり、ZRAS信号に同期して動作していた従来技術に比べ、アクティブディテクタ回路22で発生する貫通電流を抑えることができる。

【0033】更にまた、64MビットDRAMでは、制御回路21を採用することにより、従来のVpp発生回路15で生じていた消費電流の約50%の消費電流を低減させることができる。

【0034】

【発明の効果】以上のように、この発明によれば、制御回路を備えることにより、セルフリフレッシュモード時に、RAS信号に同期した第1のポンプ回路の電位昇圧動作が停止するので、Vpp発生回路の消費電流を低減させたDRAMを得ることができる。

【0035】また、制御回路を備えることにより、セルフリフレッシュモード時に、更に、RAS信号に同期したディテクタ回路のモニター動作も停止するので、Vpp発生回路の消費電流を低減させたDRAMを得ることができる。

【図面の簡単な説明】

【図1】 この発明におけるDRAMの構成を示す図である。

【図2】 図1のVpp発生回路20および制御回路21の構成を示した図である。

【図3】 Vpp発生回路20および制御回路21の動作を説明するためのタイミングチャート図である。

【図4】 図2のアクティブディテクタ回路22の構成を示した図である。

【図5】 図2のアクティブポンプ回路23の構成を示した図である。

【図6】 従来のD R A Mの構成を示した図である。

【図7】 図6のV<sub>pp</sub>発生回路15の構成を示した図である。

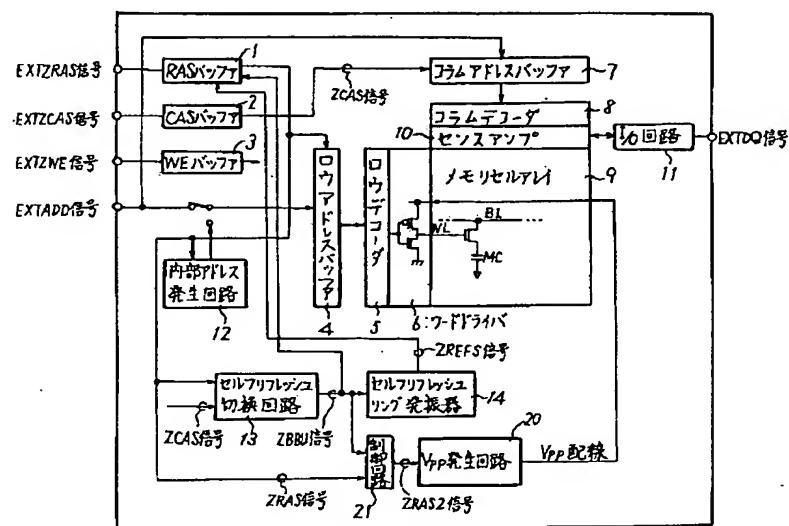
【図8】 V<sub>pp</sub>発生回路15の動作を説明するためのタイミングチャート図である。

【符号の説明】

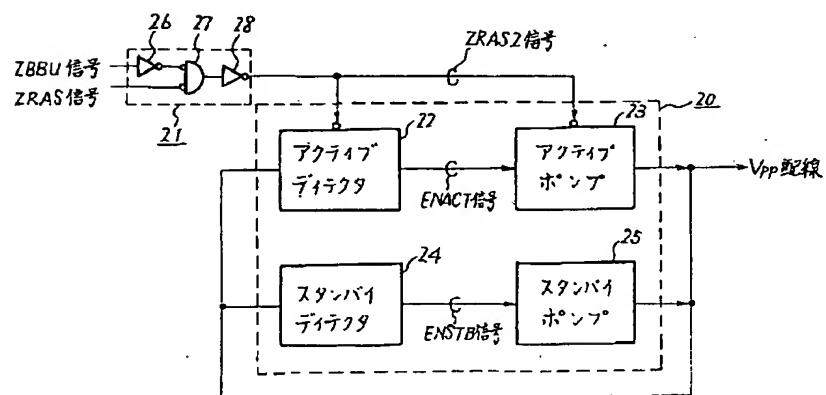
20 V<sub>pp</sub>発生回路、 21 制御回路、 22 ア

クティブディテクタ回路、 23 アクティブポンプ回路、 24 スタンバイディテクタ回路、 25 スタンバイポンプ回路、 26 インバータ回路、 27 NOR回路、 28 インバータ回路、 41 NAND回路、 42 インバータ回路、 43 制御部、 44 ポンプ部、 45 インバータ回路、 46 NAND回路、 47 インバータ回路。

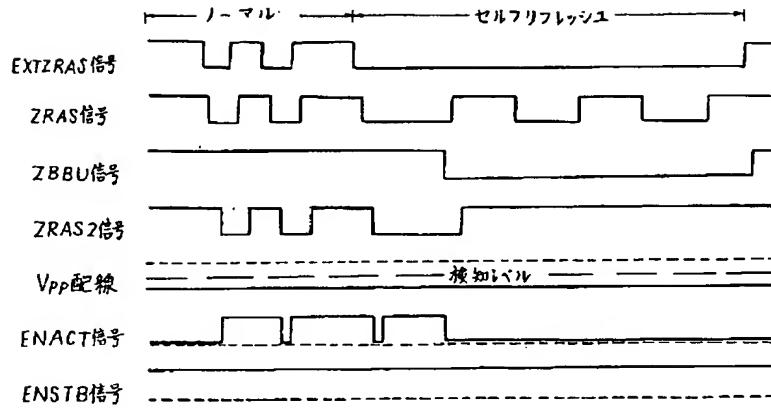
【図1】



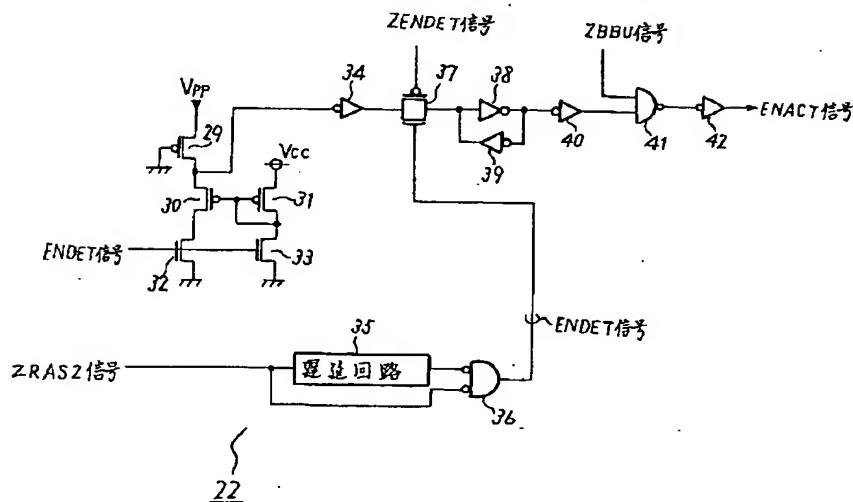
【図2】



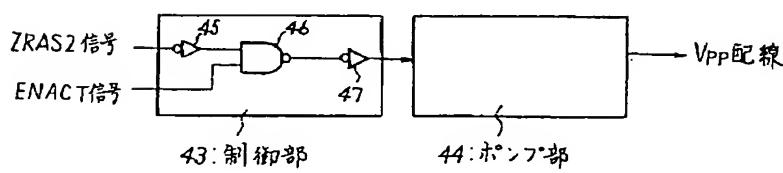
【図3】



【図4】

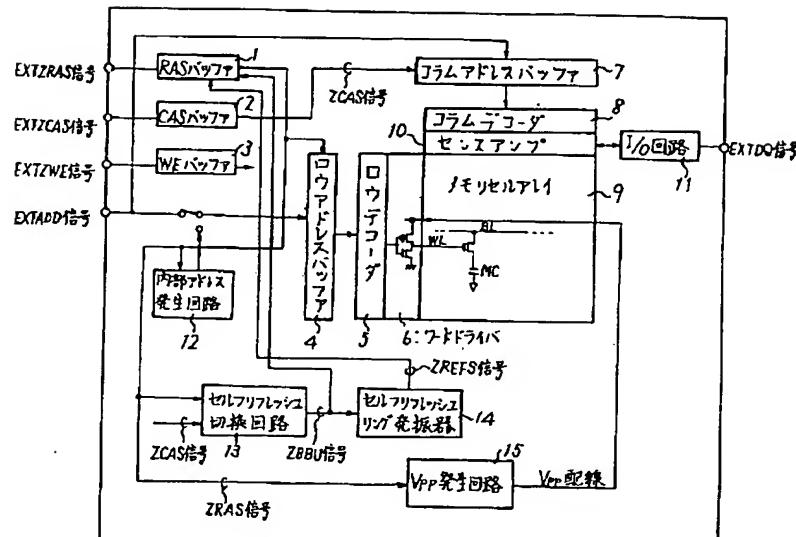


【図5】

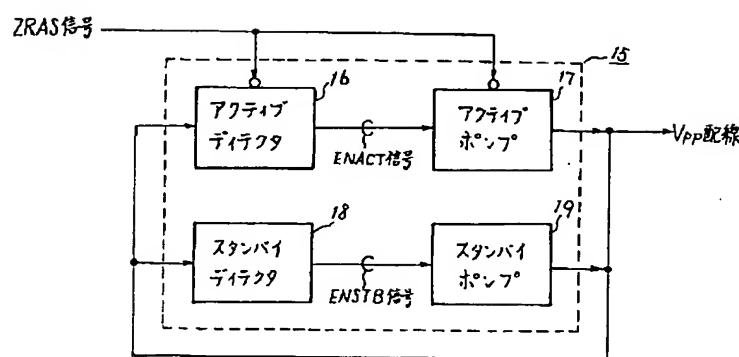


23

【図6】



【図7】



【図8】

